

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000232081 A**

(43) Date of publication of application: **22.08.00**

(51) Int. Cl.

H01L 21/301
H01L 21/3205

(21) Application number: **11032821**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: **10.02.99**

(72) Inventor: **KITAGAWA KATSUHIKO**

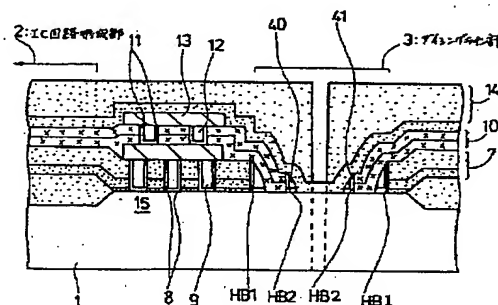
(54) **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**

(57) Abstract:

PROBLEM TO BE SOLVED: To remove distortion in a wafer or semiconductor chip and realize higher function of a seal ring.

SOLUTION: A sealing ring 15 includes tungsten plugs 9 and 12 and metal electrodes 6 and 13, and at the time of forming a second opening 11, forms a spacer in a first recess. The spacer can be formed for all interlayer insulating films extended in a dicing line part 3, thereby realizing many layered sealing rings.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232081

(P2000-232081A)

(43) 公開日 平成12年8月22日 (2000.8.22)

| (51) Int. Cl. ⁷ | 識別記号 | F I | テームト* (参考) |
|----------------------------|------|---------------|-------------|
| H 0 1 L 21/301 | | H 0 1 L 21/78 | L 5 F 0 3 3 |
| 21/3205 | | 21/88 | S |

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-32821

(22) 出願日 平成11年2月10日 (1999.2.10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 北川 勝彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

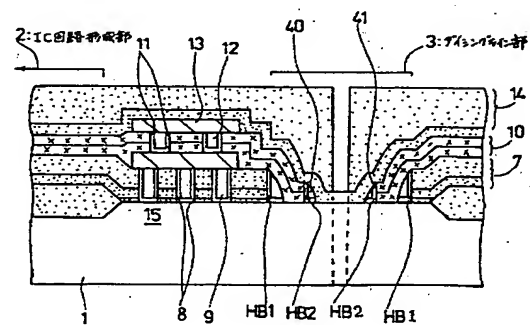
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ウェハや半導体チップの歪みを取り除くと共に、シールリングのより高機能化を実現する。

【解決手段】 シールリング15は、タングステンブラグ9、12とメタル電極6、13で構成し、第2の開口部11を形成する際に第1の凹み部32に、スペーサを形成する。このスペーサは、ダイシングライン部3に延在される層間絶縁膜に全て形成可能であり、これにより何重ものシールリングが実現できる。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された IC 回路形成部と、前記 IC 回路形成部を囲んで形成されたダイシングライン部と、前記 IC 回路形成部と前記ダイシングライン部との間で、前記 IC 回路形成部を囲んで形成されるシールリングとを有する半導体装置に於いて、前記ダイシングライン部には、前記 IC 回路形成部から連続して被覆された層間絶縁膜が形成され、このダイシングライン部に対応する層間絶縁膜にはリング状の凹み部が設けられ、前記凹み部の側壁にスペーサが設けられる事を特徴とした半導体装置。

【請求項 2】 前記シールリングは、第 1 層目の層間絶縁膜に第 1 の開口部がリング状に形成され、この開口部に埋め込まれているタングステンと上層にコンタクトした第 1 のメタル電極で成り、前記凹み部の側壁は、前記第 1 層目の層間絶縁膜が露出し、この側壁には前記タングステンから成るスペーサが設けられる請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 層目の層間絶縁膜が露出した前記凹み部の外側には、前記第 2 層目の層間絶縁膜が側壁に露出した別の凹み部が設けられ、前記第 2 層目の層間絶縁膜に形成される第 2 の開口部に埋め込まれるタングステンが前記別の凹み部の側壁に設けられる請求項 2 に記載の半導体装置。

【請求項 4】 半導体基板上に形成された IC 回路形成部と、前記 IC 回路形成部を囲んで形成されたダイシングライン部と、前記 IC 回路形成部と前記ダイシングライン部との間で、前記 IC 回路形成部を囲んで形成されるシールリングとを有する半導体装置の製造方法に於いて、前記 IC 回路形成部に形成される複数階層のメタル配線下に設けられる少なくとも 1 つの層間絶縁膜を前記ダイシングライン部にまで被覆し、前記ダイシングライン部の前記層間絶縁膜を除去して前記層間絶縁膜の側壁を露出し、前記側壁を覆うスペーサを形成する事を特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特にダイシングライン部と近接して形成されるシールリングの構造およびその製造方法に関するものである。

【0002】

【従来の技術】 半導体装置は、周知事項ではあるが、ウェハの状態で次々と素子が作り込まれ、所定の機能を有した IC 回路が形成される。平面的には、この IC 回路が形成された IC 回路形成部がマトリックス状に配置され、この IC 回路形成部を囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿ってダイ

シングされ、個々の半導体装置（半導体チップ）に分離形成される。

【0003】しかしこのダイシングラインの側壁は、前記半導体装置で積層された数々の層間絶縁膜の界面が露出されている。この界面は、湿気の浸入路となり、前記 IC 回路の誤動作、更には破壊を引き起こす問題があった。

【0004】そのため、ダイシングライン部の内側を全周に渡り囲んだシールリング（または耐湿リングと呼ばれる。）が開発されている。

【0005】この構造は、例えば特開平 2-188942 号公報に詳述されている。

【0006】簡単に説明する。先ず図 6 に於いて、前述した様に、半導体ウェハ 1 にはマトリックス状に IC 回路形成部 2 が形成され、この IC 回路形成部を囲むようにダイシングライン部 3 が形成されている。そして IC 回路形成部 2 とダイシングライン部 3 との間には、IC 回路形成部 2 を囲むようにシールリングが設けられている。

【0007】符号 4、5 は、第 1 層目のメタル電極（IC 回路形成部では第 1 のメタル配線となる。）6 の下層に形成される第 1 の層間絶縁膜 7 であり、ここには、半導体基板 1 が露出する複数の第 1 の開口部 8 が形成され、タングステン 9 が埋め込まれている。この第 1 の開口部 8 は、リング状に 3 本で形成され、このタングステンプラグ 9 を全て覆うように第 1 のメタル電極 6 がリング状に設けられている。

【0008】そして IC 回路形成部 2 からダイシングライン部 3 に渡り、第 2 の層間絶縁膜 10 が被覆され、第 1 のメタル電極 6 を露出する第 2 の開口部 11 が形成される。（以上図 6 参照）

続いて、第 2 の開口部 11 には、タングステン 12 が埋め込まれ、このタングステンプラグ 12 とコンタクトした第 2 のメタル電極 13 が形成される。（以上図 7 参照）

更に、IC 回路形成部 2 からダイシングライン部 3 に渡り第 3 の層間絶縁膜 14 が形成され、その後、ダイシングライン部 3 に沿ってダイシングされる。（以上図 8、図 9 参照）

以上、タングステンプラグ 9、第 1 のメタル電極 6、タングステンプラグ 12 および第 2 のメタル電極 13 で構成されるシールリング 15 は、ダイシングラインの内側で且つ IC 回路形成部 2 を囲んで形成される。またこれらの構成要素は、IC 回路形成部 2 に形成される第 1 層目のメタル配線、第 2 層目のメタル配線、これらをコンタクトさせるためのタングステンプラグと同時に形成され工程の簡略化も図られている。

【0009】

【発明が解決しようとする課題】 しかしながら、封止樹脂も近年薄くなる傾向にあり、より耐湿機能の優れたも

のが要求されている。特にメタル配線の階層数により第1の層間絶縁膜7、第2の層間絶縁膜10、第3の層間絶縁膜14…と何層にも絶縁膜が設けられ、しかもこの層間絶縁膜自身は、歪みやフラット性が考慮されて複数層の膜、例えばTEOS膜、SOG膜が何回も繰り返し積層されて構成されている。そしてダイシング部に形成される側壁には、これらの膜の界面が露出され耐湿劣化を発生させていた。

【0010】

【課題を解決するための手段】本発明は前述の課題に鑑みてなされ、先ず第1に、ダイシングライン部には、前記IC回路形成部から連続して被覆された層間絶縁膜が設けられ、このダイシングライン部に対応する層間絶縁膜にはリング状の凹み部が設けられ、前記凹み部の側壁にスペーサを設ける事で解決するものである。

【0011】階層毎の層間絶縁膜は、前記ダイシングライン部でその側壁を露出させる。従って、この側壁にスペーサを設ければ、側壁に露出する界面、またその側壁と下層の界面を保護することができる。

【0012】第2に、シールリングは、第1層目の層間絶縁膜に第1の開口部がリング状に形成され、この開口部に埋め込まれているタングステンと上層にコンタクトした第1のメタル電極で成り、前記凹み部の側壁は、前記第1層目の層間絶縁膜が露出し、この側壁に前記タングステンから成るスペーサを設ける事で解決するものである。

【0013】つまり第1層目の層間絶縁膜の側壁が露出するダイシング部分に於いて、その側壁をWスペーサで覆え、この層間絶縁膜の側壁にある界面をシールすることができる。

【0014】第3に、第1層目の層間絶縁膜が露出した前記凹み部の外側には、前記第2層目の層間絶縁膜が側壁に露出した別の凹み部が設けられ、前記第2層目の層間絶縁膜に形成される第2の開口部に埋め込まれるタングステンが前記別の凹み部の側壁に設けられる事で解決するものである。

【0015】二層メタルに於いて、第1層目の層間絶縁膜の側壁および第2層目の側壁が露出するダイシング部分に於いて、その側壁をWスペーサで覆え、各層間絶縁膜の側壁にある界面をシールすることができる。

【0016】第4に、IC回路形成部に形成される複数階層のメタル配線下に設けられる少なくとも1つの層間絶縁膜を前記ダイシングライン部にまで被覆し、前記ダイシングライン部の前記層間絶縁膜を除去して前記層間絶縁膜の側壁を露出し、前記側壁を覆うスペーサを形成する事で解決するものである。

【0017】IC回路形成部では、タングステンプラグが用いられるため、このWのエッチバック工程を利用することで、前記側壁に簡単にスペーサを設けることができる。

【0018】

【発明の実施の形態】以下、本発明の一実施の形態について説明する。本実施例は、以下MOS型で説明するが、BIP型、Bi-CMOS型でも実現可能である。また図6～図9で開示された符号を用い、異なる部分のみ別の符号で記す。

【0019】まず簡単にその構造について説明する。

【0020】IC回路形成部2とダイシングライン部3との間にはシールリング15が構成される。ここでは2層メタルで構成されるため、2階建て構造のシールリング15と成っている。このシールリング15は、タングステンプラグ9、12が形成されてあるため、ダイシングライン部に凹み部HB1および/またはHB2を形成し、この凹み部HBの側壁にWのスペーサをできる。特にWには限らず、エッチバックされる材料であれば良い。つまりシリコン酸化膜、Si₃N₄膜、Alを主材料としたもの、およびシリコン膜等と色々考えられる。本実施例では、後述する製造方法で判るが、Wを被膜しエッチバックしてタングステンプラグを形成しているの

で、スペーサとしてWを使っている。

【0021】一般に、層間絶縁膜は、複数の絶縁膜が積層されて形成されており、図5のようにスペーサをその側壁に形成することで、前記ダイシングライン部に形成される絶縁膜の界面をシールすることができる。

【0022】また図5では、凹み部HBは、第1層目の層間絶縁膜、第2層目の層間絶縁膜および第3層目の層間絶縁膜に形成可能であるが、ここでは第1層目と第2層目に設けている。またスペーサを全て設けても良いが、チップサイズの制約により省略もできる。

【0023】とにかくシールリング15の外側に何重にもスペーサによるシールリングが形成でき、耐湿性の向上が図れる。

【0024】最近では、CSP（チップサイズパッケージ）が開発され、市場にも出始めている。これらは、樹脂量が極端に少なく、耐湿性の向上が非常に重要なテーマとなる。

【0025】特にウェハ型CSPは、ウェハ状態でICが作り込まれパッシベーション膜が被覆された後、全面に封止樹脂を載せ、その後、ダイシングして個々のチップに分離するため、チップの側壁には、前述した層間絶縁膜の界面が露出される。従ってシールリングは、非常に重要な位置づけになる。本発明の構成を採用すれば、何重ものシールが可能となり、チップの耐湿劣化を防止できるメリットを有する。

【0026】では具体的にその製造方法を説明する。

【0027】符号30、31は、LOCOS膜であり、IC回路形成部2に形成されるトランジスタ（Nチャンネル型、Pチャンネル型トランジスタ）のLOCOS分離の工程と同時に形成される。

【0028】また前述した様に、半導体ウェハ1にはマ

トリックス状にIC回路形成部2が形成され、このIC回路形成部を囲むようにダイシングライン部3が形成される。そしてIC回路形成部2とダイシングライン部3との間には、後の工程でIC回路形成部2を囲むようにシールリング15が設けられる。

【0029】符号4、5は、第1層目のメタル電極（IC回路形成部では第1のメタル配線となる。）6の下層に形成される第1の層間絶縁膜7である。この第1の層間絶縁膜7は、表面にゲート絶縁膜が形成された上に積層され、BPSG膜4が約2000～4000Å、その上にTEOS膜5が約8000～10000Å程度で積層されている。ただしこの層間絶縁膜7は、一層の絶縁膜でも良いし、3層以上に積層されても良い。（以上図1を参照）

続いてこの第1の層間絶縁膜7には、半導体基板1が露出する複数の第1の開口部8が形成され、ここには図3で示すようにタングステン9が埋め込まれる。この第1の開口部8は、リング状に3本（特に本数は限定されない）で形成され、同時に第1の凹み部HB1が開口される。この凹み部HB1は、第1の開口部8と同時に形成されるため、半導体基板1を露出しているが、別工程で開口しても良い。更には第1の凹み部HB1の深さは、図のものよりも浅くて良い。ただし少なくとも最上の界面をスペーサでカバーできる深さでなくてはならない。またチップサイズが考慮され、第2の凹み部HB2にスペーサが形成されるなら開口をしなくても良い。（以上図2を参照）

続いて第1の開口部8にタングステンプラグ9を、そして第1の凹み部HB1にスペーサを形成し、更には前記タングステンプラグ9を全て覆う第1のメタル電極6を形成する工程がある。

【0030】詳しくは、この開口部8も含めて全面にバリアメタルとなる金属がTi、TiNの順で積層されている。Tiが約200～500Å、TiNが約1000～2000Åで被覆され、更に全面にWが約5000～8000Å被覆されている。そしてこのWがエッチバックされてタングステンプラグ9が形成されると共に、第1の凹み部HB1の側壁には、Wより成るスペーサが形成される。そして第1のメタル電極6領域およびスペーサ領域以外の余分な前記バリアメタルが取り除かれる。

【0031】また第1のメタル電極6は、下からTiNが500～1000Å、Tiが100～300Å、AlCuが約3000～5000Å程度が積層されて形成され、図のようなパターンにエッチングされて形成される。第1のタングステンプラグ9は、IC回路形成部2を囲むリングとして3本形成され、これを全て覆う一本の幅広のリングとして第1のメタル電極6が形成されている。

【0032】ここで第1のタングステンプラグ9は、同一の構成で、IC回路形成部2にも形成され前記トラン

ジスタのソース領域やドレイン領域とコンタクトし、また第1のメタル電極もIC回路形成部に配線として形成され、IC回路形成部に形成されたタングステンプラグと電氣的にコンタクトしている。

【0033】ここで前述したように第1の凹み部HB1を形成しない場合は、当然スペーサも形成されない。

（以上図3を参照）

続いて、IC回路形成部2からダイシングライン部3に渡り、第2の層間絶縁膜10が被覆される。ここではウェハ全面に被覆されている。

【0034】ここで第2の層間絶縁膜10は2層で図示されているが、具体的には下から約2000ÅのプラズマTEOS膜、約2000ÅのSOG膜、約500～1000ÅのプラズマTEOS膜、約2000ÅのSOG膜および約2000～3000ÅのプラズマTEOS膜が積層されている。

【0035】またダイシングライン部3では、この第2の層間絶縁膜10が第1の層間絶縁膜7の側壁をシールするスペーサ34を被覆している。（以上図4を参照）更に、第1のメタル電極6を露出する第2の開口部11が形成されると同時に第2の凹み部HB2が形成される。

【0036】ここでは、第2の開口部11の形成と同時に第1の凹み部32も形成しているが、別工程でエッチングしても良い。また深さは、第2の層間絶縁膜10の途中でも良いし、第1の層間絶縁膜7が途中まで取り除かれる深さでも良い。これは前述同様に、少なくとも最上層の界面をシールできる深さであれば、シールの機能を果たすことができる。

【0037】続いて、第2の開口部11に、タングステンが埋め込まれると同時に第2の凹み部HB2にWのスペーサ40が形成される。

【0038】ここでは、まず第2の開口部11も含め全面に、下から約300～500ÅのTi、約1000～2000ÅのTiNから成るバリアメタル33がスパッタリングで形成され、この上に約5000～8000ÅのWが例えばCVD法により被覆される。

【0039】続いて、前記Wをエッチバックして、タングステンプラグ12を形成すると共に、第2の凹み部HB2にタングステンから成るスペーサ40を形成する。

【0040】この被覆部であるスペーサ40は、第2の凹み部HB2の側壁35に露出する界面をカバーし、湿気の浸入を防止するシールリングとなる。

【0041】つまりIC回路形成部2を先ずタングステンプラグから構成されるシールリング15でシールし、その外側をWから成るスペーサ34、40でシールし、三重のシール構造が実現できる。

【0042】そしてタングステンプラグ12を被覆し、やはりリング状となる第2のメタル電極13が形成される。このメタル電極13は、下層に約200～300Å

* 出するダイシング部分に於いて、その側壁をWスペースで覆え、この層間絶縁膜の側壁にある界面をシールすることができる。

【0049】第3に、二層メタルに於いて、第1層目の層間絶縁膜の側壁および第2層目の側壁が露出するダイシング部分に於いて、その側壁をWスペースで覆え、各層間絶縁膜の側壁にある界面をシールすることができ

【0050】第4に、IC回路形成部では、タングステンプラグが用いられるため、このWのエッチバック工程を利用することで、前記側壁に簡単にスペーサを設けることができる。

【0051】以上、特にWプラグをI-C回路形成部に形成する場合は、別段に工程の付加をすることなくスペースから成るシールリングを実現でき、耐湿性の向上が図れる。

【図面の簡単な説明】

【図2】本発明の半導体装置の製造方法を示す断面図である。

【図3】本発明の半導体装置の製造方法を示す断面図である。

【図４】本発明の半導体装置の製造方法を示す断面図である。

【図5】本発明の半導体装置の製造方法を示す断面図である。

【図6】従来の半導体装置の製造方法を示す断面図である。

【図7】従来の半導体装置の製造方法を示す断面図である。

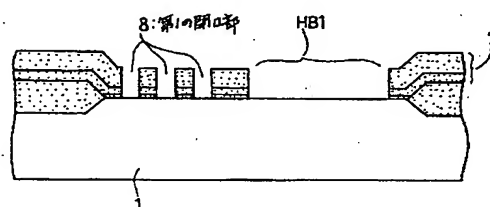
【図8】従来の半導体装置の製造方法を示す断面図である。

【図 9】従来の半導体装置の製造方法を示す断面図である。

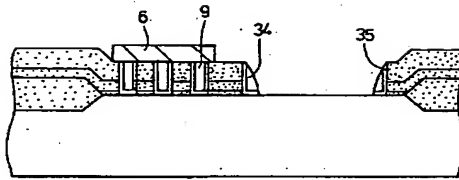
【0 0 4 7】

【0048】第2に、第1層目の層間絶縁膜の側壁が露*

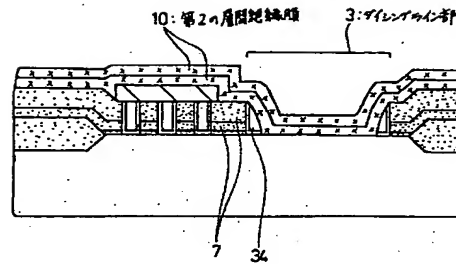
【圖2】



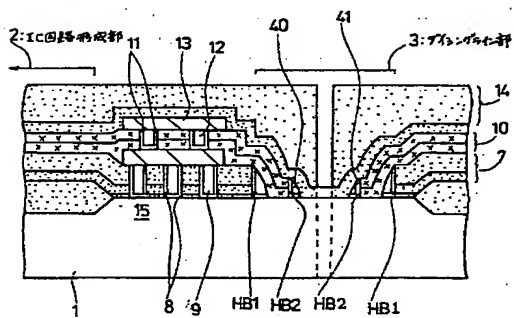
【図3】



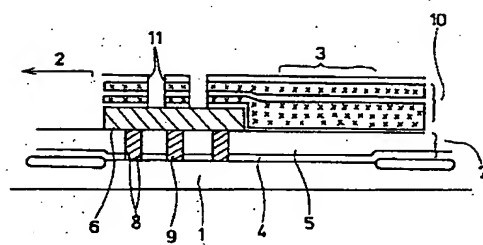
【図4】



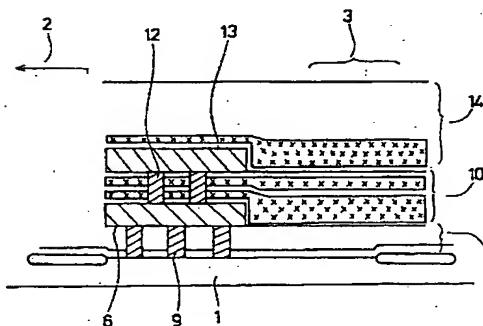
【図5】



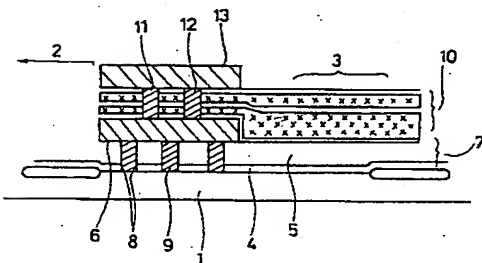
【図6】



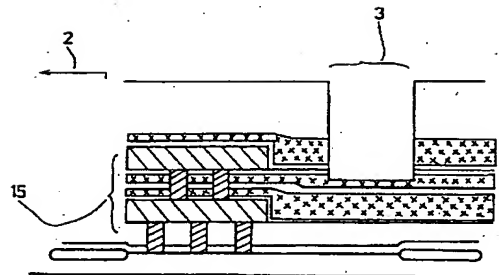
【図8】



【図7】



【図9】



フロントページの続き

Fターム(参考) 5F033 HH09 HH18 HH33 JJ09 JJ18
JJ19 JJ33 KK01 KK09 KK18
KK33 MM08 MM13 NN06 NN07
PP06 PP15 QQ09 QQ10 QQ31
QQ37 QQ77 QQ89 RR04 RR06
RR15 SS04 SS15 SS22 TT02
TT08 W01 XX00 XX17 XX18